

# 谐振式传感器高精度频率测量技术研究\*

王 健, 杨 挺

(航天长征火箭技术有限公司传感器与系统集成事业部 北京 100076)

**摘要:** 随着 MEMS 振梁加表、振梁压力传感器等谐振式传感器精度的提高, 对频率测量精度的要求也随之提高。现有的测频技术通常采用单片机内置的输入捕获及中断功能, 与实际需求的测量精度差距较大。提出一种基于 FPGA 的高精度频率测量方案, 在 5ms 的采样间隔下实现 1ppm 的相对频率测量精度, 满足高精度谐振式传感器的精度要求。

**关键词:** 谐振式传感器; 高精度频率测量; FPGA

中图分类号: V241.4 文献标识码: A 文章编号: CN11-1780(2020)03-0037-05

## Research on high precision frequency measurement technology of resonant sensor

WANG Jian, YANG Ting

(Aerospace Long March Launch Vehicle, Beijing 100076, China)

**Abstract:** With the improvement of the accuracy of the resonant sensors such as MEMS vibration beam accelerometer and vibration beam pressure sensor, the requirement of the frequency measurement accuracy is also improved. The existing frequency measurement technology usually uses the function of input capture and interrupt built in the MCU, which can not guarantee the timing constraints, and have a large gap with actual demand of measurement accuracy. In this paper, a high-precision frequency measurement scheme based on FPGA is proposed. The scheme achieves the relative frequency measurement accuracy of 1ppm under the sampling interval of 5ms, which meets the accuracy requirements of high-precision resonant sensor.

**Key words:** Resonant sensors; High-precision frequency measurement; FPGA

## 引 言

随着 MEMS (Micro-Electro-Mechanical System) 传感器成本的下降和性能的提升, 传统传感器逐渐被淘汰, MEMS 传感器被越来越多的应用于各领域。石英振梁压力传感器、石英振梁加速度传感器、硅谐振压力传感器以及硅振梁加速度传感器等谐振式传感器一般采用自激振荡电路, 用频率的变化表征物理量的变化, 对频率测量技术提出了更高的要求。例如, 压力传感器在某些应用领域需要在 20ms 的响应时间内达到 1ppm 的相对频率精度; 加速度传感器在某些应用领域需要在 5ms 的响应时间达到 1ppm 的相对频率精度。现有的基于单片机的测频方案, 利用单片机内部的定时器, 基准频率最高只能到 60MHz, 频率测量精度不能满足要求。因此, 有必要研制一种高精度、快响应的频率测量技术。本文提出一种基于 FPGA 的测频方案, 它具有测量精度高、易于多路扩展、算法易于移植等优点, 可满足谐振式传感器的应用需求。

## 1 硬件架构

硬件系统由晶振、FPGA (Field Programmable Gate Array) 和电源模块组成, 其中, 晶振选用高精度温补晶振 (全温区频率稳定性 1ppm), FPGA 选用 Altera 的 Cyclone 系列 (内部 PPL 模块可以倍频

\*基金项目: 装备预先研究项目 (41403060107)

收稿日期: 2020-05-23

到 400MHz), 如图 1 所示。

由于基于 FPGA 的测频算法需要通过边沿检测的时序逻辑电路实现, 因此, 要将被测信号转换为方波信号。另外, 被测信号电平要满足 FPGA 的接口电平, 该硬件系统利用转换芯片将被测信号转换为 3.3V 的方波信号。

基准时钟越高, 频率测量精度越高, 但需要满足的时序约束也越严格, 应该根据需要的频率测量精度选择合适的基准频率。该测频方案利用 FPGA 的片上 PLL 将外部 20MHz 时钟倍频到 340MHz, 作为测频的基准频率。

由于 FPGA 中的乘除法运算需消耗较多资源, 因此, 该方案利用 UART 模块将被测信号周期数和基准信号周期数发给上位机, 结合基准信号频率就可以计算出被测信号频率。

测频模块是该频率测量系统的核心。系统采用的基本方法是等精度测频算法, 即在采样时间内, 同时对被测信号和基准信号进行计数, 再计算出被测信号频率。等精度测频算法的相对频率精度只与采样时间和基准频率有关, 与被测信号频率无关。

## 2 测频算法

### 2.1 单边沿检测测频算法

单边沿检测测频算法即为传统的等精度频率测量, 是在采样时间内, 同时对被测信号  $f_x$  和基准频率  $f_0$  进行计数, 得到周期数  $N_x$  和  $N_0$ , 则由式 (1) 可以计算出被测频率  $f_x$ <sup>[1]</sup>。

$$f_x = \frac{N_x \cdot f_0}{N_0} \tag{1}$$

假设被测频率计数周期数  $N_x$  和基准频率  $f_0$  恒定, 则等精度频率法的相对频率测量精度为

$$R = \frac{\Delta f_x}{f_x} = \frac{1}{N_0} = \frac{1}{T_s \cdot f_0} \tag{2}$$

式中,  $R$  为相对频率测量精度,  $T_s$  为采样周期。

### 2.2 双边沿检测测频算法

双边沿检测测频算法同时以被测频率的上升沿和下降沿作为实际闸门的开启时间, 对基准频率进行计数, 如图 2 所示。

由式 (3) 可以计算出被测频率  $f_x$ 。

$$f_x = \frac{f_{x\_rising} + f_{x\_falling}}{2} \tag{3}$$

式中,  $f_{x\_rising}$  为上升沿检测的被测频率,  $f_{x\_falling}$  为下降沿检测的被测频率。

当基准频率信号不是被测频率的整数倍时, 由于被测信号和基准信号的相位关系, 对基准频率的计数有时会向上取整, 有时会向下取整, 表现出来就是 1 个基准时钟周期的抖动。双边沿检

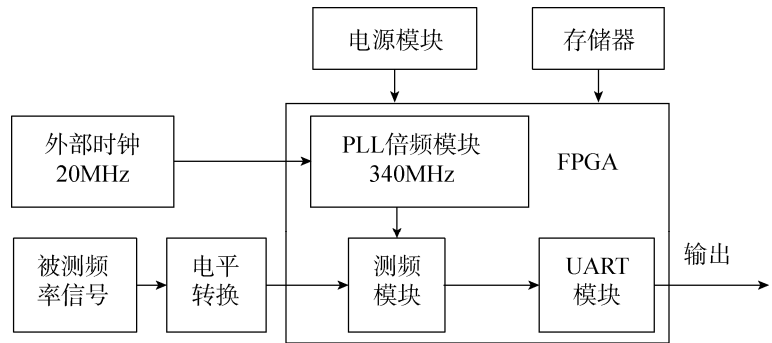


图 1 硬件系统框图

Fig. 1 Hardware system block diagram

由于 FPGA 中的乘除法运算需消耗较多资源, 因此, 该方案利用 UART 模块将被测信号周期数和基准信号周期数发给上位机, 结合基准信号频率就可以计算出被测信号频率。

测频模块是该频率测量系统的核心。系统采用的基本方法是等精度测频算法, 即在采样时间内, 同时对被测信号和基准信号进行计数, 再计算出被测信号频率。等精度测频算法的相对频率精度只与采样时间和基准频率有关, 与被测信号频率无关。

## 2 测频算法

### 2.1 单边沿检测测频算法

单边沿检测测频算法即为传统的等精度频率测量, 是在采样时间内, 同时对被测信号  $f_x$  和基准频率  $f_0$  进行计数, 得到周期数  $N_x$  和  $N_0$ , 则由式 (1) 可以计算出被测频率  $f_x$ <sup>[1]</sup>。

$$f_x = \frac{N_x \cdot f_0}{N_0} \tag{1}$$

假设被测频率计数周期数  $N_x$  和基准频率  $f_0$  恒定, 则等精度频率法的相对频率测量精度为

$$R = \frac{\Delta f_x}{f_x} = \frac{1}{N_0} = \frac{1}{T_s \cdot f_0} \tag{2}$$

式中,  $R$  为相对频率测量精度,  $T_s$  为采样周期。

### 2.2 双边沿检测测频算法

双边沿检测测频算法同时以被测频率的上升沿和下降沿作为实际闸门的开启时间, 对基准频率进行计数, 如图 2 所示。

由式 (3) 可以计算出被测频率  $f_x$ 。

$$f_x = \frac{f_{x\_rising} + f_{x\_falling}}{2} \tag{3}$$

式中,  $f_{x\_rising}$  为上升沿检测的被测频率,  $f_{x\_falling}$  为下降沿检测的被测频率。

当基准频率信号不是被测频率的整数倍时, 由于被测信号和基准信号的相位关系, 对基准频率的计数有时会向上取整, 有时会向下取整, 表现出来就是 1 个基准时钟周期的抖动。双边沿检

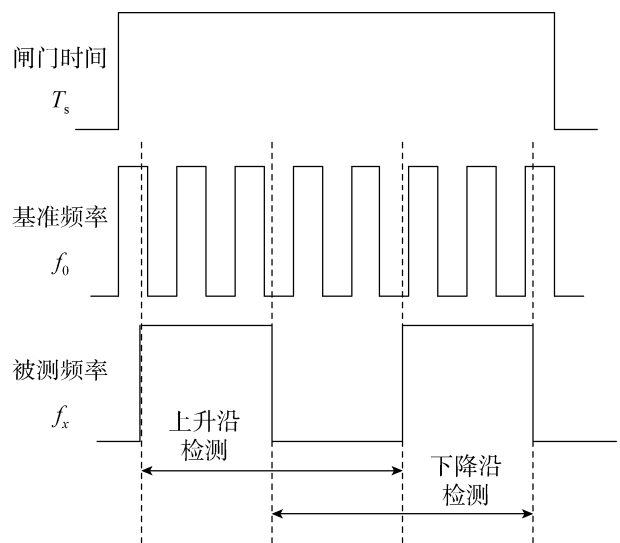


图 2 双边沿检测时序图

Fig. 2 Sequence diagram of double edges detection

测时，上升沿检测和下降沿检测其中一个是向上取整时，另一个一定是向下取整，两者取平均值就能将1个基准时钟周期的误差降低一半。例如，当采用上升沿触发时，图2所示中上升沿检测的基准时钟周期数是3个，下降沿检测的基准时钟周期数是4个，取平均值是3.5个周期。

### 2.3 改进的双边沿检测测频算法

在实际测试中发现，只采用被测信号的双边沿测频算法不能达到测量精度提升一倍的效果，原因可能是基准频率由FPGA的PLL模块倍频产生，会引入额外的抖动，另外，被测频率也存在一定的抖动。

解决措施为在被测信号双边沿检测的基础上，加入基准频率信号的双边沿检测。具体做法为在被测信号上升沿触发的模式下对被测信号进行双边沿检测得到频率  $f_{x\_rising}$  和  $f_{x\_falling}$ ，同时在基准信号下降沿触发的模式下对被测信号进行双边沿检测得到频率  $f'_{x\_rising}$  和  $f'_{x\_falling}$ ，最终被测信号  $f_x$  为

$$f_x = \frac{f_{x\_rising} + f_{x\_falling} + f'_{x\_rising} + f'_{x\_falling}}{4} \tag{4}$$

在上述双边沿检测测频算法的基础上，通过将闸门时间延时一个被测信号周期，可以进一步提高测频精度。将实际闸门开启时间定为被测信号第一个上升沿时，通过上述双边沿测频算法得到被测信号频率  $f_{x1}$ ；同时，将实际闸门开启时间延时一个被测信号周期，通过上述双边沿测频算法得到被测信号频率  $f_{x2}$ 。最终被测信号  $f_x$  为

$$f_x = \frac{f_{x1} + f_{x2}}{2} \tag{5}$$

一般地，实际闸门时间为被测信号周期的整数倍，会小于采样间隔，将闸门延时一个被测信号周期后，实际测频周期会超过采样间隔，但误差不会超过一个被测信号周期，可以忽略。

## 3 试验与结论

对某频率输出传感器，用单边沿测频、双边沿检测、延时闸门等各种测频算法以及安捷伦频率计53220A进行测频，用ALLAN方差分析方法对结果进行分析<sup>[2]</sup>。以下测频结果均为相对频率测量精度，采样时间为5ms。

### 3.1 频率计测频结果分析

对某频率输出传感器，用安捷伦频率计53220A进行测频，闸门时间选择5ms，结果用ALLAN方差进行分析，如图3所示。

频率计测频数据在高频段主要表现为白噪声，0.005s和1s的相对频率精度分别为  $9.3e-8$  和  $4.7e-9$ ；相对频率的不稳定性（即ALLAN方差双对数曲线斜率为0处）为  $2.3e-9$ ，但响应速度慢，要超过10s才能达到该指标。

### 3.2 单边沿检测测频算法结果分析

单边沿检测测频结果的ALLAN方差分析如图4所示。

和频率计测频数据不同的是，单边沿测频数据在高频段主要表现为量化噪声，0.005s和1s的相对频率精度分别为  $3.4e-7$  和  $1.9e-9$ ；相对频率不稳定性为  $4.6e-9$ 。

### 3.3 双边沿检测测频算法结果分析

双边沿检测测频结果的ALLAN方差分析如图5所示。

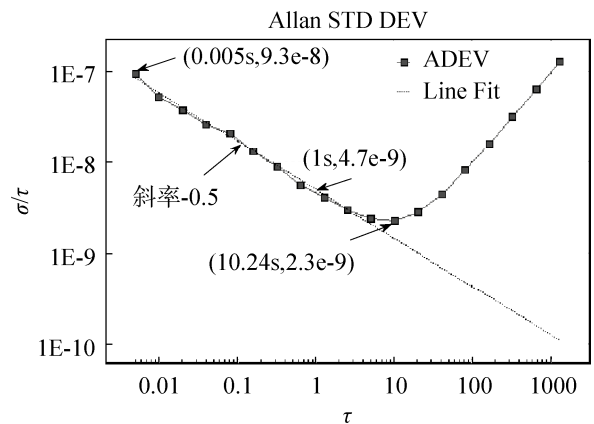


图3 安捷伦频率计测频结果 ALLAN 方差分析  
Fig. 3 Allan variance of frequency counting based on Agilent frequency counter

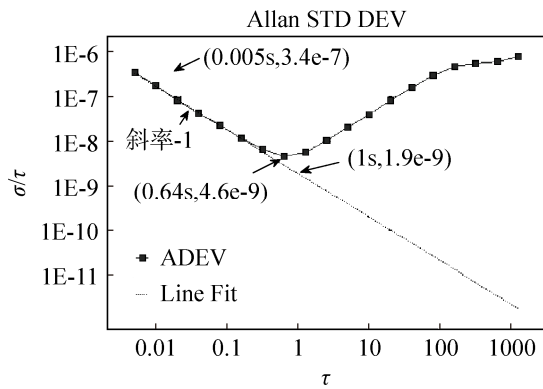


图 4 单边沿测频结果 ALLAN 方差分析  
Fig. 4 Allan variance of frequency counting based on single-edge detection

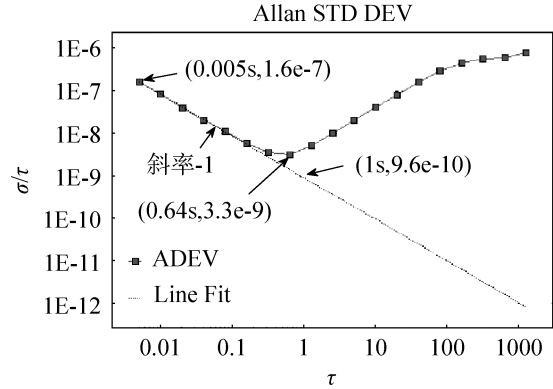


图 5 双边沿测频结果 ALLAN 方差分析  
Fig. 5 Allan variance of frequency counting based on double-edge detection

双边沿测频数据在高频段主要表现为量化噪声, 0.005s 和 1s 的相对频率精度分别为 1.6e-7 和 9.6e-10, 均为单边沿测频精度的一半; 相对频率不稳定性为 3.3e-9, 和单边沿测频结果对比也有改善。

### 3.4 闸门延时测频算法结果分析

闸门延时测频结果的 ALLAN 方差分析如图 6 所示。

闸门延时测频数据在高频段主要表现为量化噪声, 0.005s 和 1s 的相对频率精度分别为 1.2e-7 和 7.1e-10, 和双边沿测频数据相比有改善; 相对频率不稳定性为 3e-9, 和双边沿测频结果对比稍有改善。

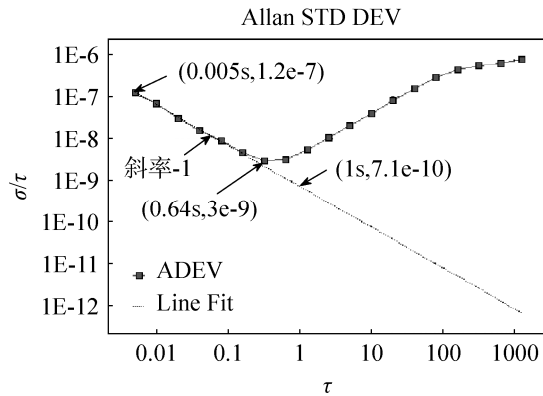


图 6 闸门延时测频结果 ALLAN 方差分析  
Fig. 6 Allan variance of frequency counting based on delayed sampling interval

### 3.5 总 结

将各种测频方法的结果总结, 如表 1 所示。

表 1 各种测频方法结果汇总

Table 1 Allan variance measured by various frequency counting method			
测频方法	ALLAN 方差 (5ms)	ALLAN 方差 (1s)	不稳定性
频率计	9.3e-8	4.7e-9	2.3e-9 (10s)
单边沿	3.4e-7	1.9e-9	4.6e-9 (0.64s)
双边沿	1.6e-7	9.6e-10	3.3e-9 (0.64s)
闸门延时	1.2e-7	7.1e-10	3e-9 (0.64s)

频率计和基于 FPGA 的等精度测频的数据在高频段的噪声表现形式不同,前者表现为白噪声,后者表现为量化噪声。5ms 处的 ALLAN 方差, FPGA 测频方案比频率计稍差; 1s 处的 ALLAN 方差, FPGA 测频方案远优于频率计; 不稳定性, 频率计稍优于 FPGA 测频方案, 但频率计测试时间超过了 10s, FPGA 测频方案均不到 1s。

基于 FPGA 的高精度测频方案和频率计测频方案相比测频精度在同一量级。

#### 4 结束语

基于 FPGA 的高精度测频方案满足谐振式传感器的应用需求,且体积小、功耗低、易于多路扩展、算法灵活易于移植。另外,该方案也为 ASIC 电路的研制提供了参考。

#### 参考文献

- [1] IEEE. IEEE standard specification format guide and test procedure for linear, single-axis, non-gyroscopic accelerometers. IEEE STD 1293-1998, annex D.4[S/OL]. <https://standards.ieee.org/standard/1293-1998.html>.
- [2] IEEE. IEEE standard definitions of physical quantities for fundamental frequency and time metrology-random instabilities. IEEE STD 1139-2008, annex C[S/OL]. <http://www.doc88.com/p-9072354504122.html>.

#### [作者简介]

王 健 1987 年生, 工程师, 硕士, 主要研究方向为微机械传感器电路技术。

杨 挺 1985 年生, 工程师, 硕士, 主要研究方向为微机械传感器工艺技术。

---

(上接第 24 页)

#### [作者简介]

曾铖璐 1983 年生, 本科, 工程师, 研究方向为无线电遥测遥控。

王 威 1989 年生, 硕士, 助理工程师, 研究方向为无线电遥测遥控。

尹利博 1986 年生, 本科, 助理工程师, 研究方向为无线电遥测遥控和光学测量。